



IKER
GAZTE
NAZIOARTEKO
IKERKETA EUSKARAZ

VI. IKERGAZTE

NAZIOARTEKO IKERKETA EUSKARAZ

2025eko maiatzaren 28, 29 eta 30a
Bilbo, Euskal Herria

ANTOLATZAILEA:
Udako Euskal Unibertsitatea (UEU)



Aitortu-PartekatuBerdin 4.0

INGENIARITZA ETA ARKITEKTURA

**SNNorlax: Pultsu bidezko
Neurona-sareak azeleratzeko
hardware plataforma**

*Asier Esteban Sauce,
Javier Navaridas,
Jose Antonio Pascual eta Libe Mori*

211-217 or.
<https://dx.doi.org/10.26876/ikergazte.vi.03.26>

ANTOLATZAILEA



BABESLEAK



EUSKO JAURLARITZA
GOBIERNO VASCO



LAGUNTZAILEAK



SNNorlax: Pultsu bidezko Neurona-sareak azeleratzeko hardware plataforma

Asier Esteban Sauce, Javier Navaridas, Jose Antonio Pascual, Libe Mori

Intelligent Systems Group (ISG), Konputagailuen Arkitektura eta Teknologia Saila (KAT),
Euskal Herriko Unibertsitatea (UPV/EHU).
Manuel Lardizabal Pasealekua 1, 20018 Donostia.

asier.esteban@ehu.eus

Laburpena

Pulstu bidezko Neurona-sareak (PNS) neurona biologikoen portaera imitatzen duten Neurona-sare Artifizial (NSA) mota bat dira. NSA tradizionalak ez bezala, PNS-ek informazioa pultsu diskretuetan oinarrituta prozesatzen dute, errendimendu altuagoa eta eraginkortasun energetiko nabarmenagoa lortuz. Hala ere, gaur egungo hardware plataforma gehienek ez dute aprobetxatzen PNS-en gertaera bidezko izaera eta horrek sare handiak eta konplexuak prozesatzea oztopatu dezake. Arazo horiei aurre egiteko, artikulu honetan Ate-matrize programagarrietan (FPGA) oinarritutako hardware azelerazio plataforma berria (SNNorlax) aurkezten da, sarearen tamaina eta sinapsi konexioak konfiguratzeke maila altua duena.

Hitz gakoak: Pulstu bidezko Neurona-sareak, FPGA, prozesadoreak, Neuromorfikoa

Abstract

Spiking Neural Networks (SNN) are a type of Artificial Neural Network (ANN) that closely mimic the way biological neural networks work. Unlike traditional ANN, SNNs encode information as discrete spikes leading to improved performance and a high degree of energy efficiency ratio. However, most of the current hardware platforms do not take advantage of the event driven nature of SNN and have poor scalability when handling larger size and more complex networks. To solve this problems, this paper proposes a new hardware acceleration platform (SNNorlax), a highly configurable FPGA co-processor that supports any configurable network size and synaptic connections.

Keywords: *Spiking Neural Network, FPGA, Processor, Neuromorphic*

1 Sarrera eta motibazioa

Azken urteetan, Neurona-sare artifizialen (NSA) erabilgarritasunak gorakada handia izan du, besteak beste, irudien sailkapenean, objektuen identifikazioan edo hizkuntza naturalaren prozesamenduan. Neurona-sare tradizionalak elkarrekin konektatuta dauden nodo geruzek osatzen dituzte eta horiek funtzio jarraitu baten arabera aktibatzen dira. Gaur egun ebatzi nahi diren arazoen konplexutasuna dela eta, geroz eta sare handiagoak erabili behar dira eta ondorioz eragiketa kopuru handia egin behar da. Hori dela eta, NSA-ek energia kontsumo oso altua dute.

Nahiz eta NSA tradizionalak eredu biologikoetan inspiratuta egon, ez dute helburutzat haien portaera zehatz-mehatz imitatzea. Aitzitik, sistema neuromorfikoek portaera hori era fidagarriagoan erreproduzitzen dute. Zehazki, Pulstu bidezko Neurona-sareak (PNS) burmuinaren portaera imitatzen duten neurona-sare mota bat dira. Neurona biologikoek bezala, PNS-ak gertaeran oinarritutako izaera asinkronoa dute, eta horregatik energia kontsumoa sarearen aktibitatearen arabera da.

PNS-ak elkarri konektatutako neurona multzo batez osatuta daude, eta informazioa elkarri bidalitako pultsu diskretuen bidez zabaltzen dute. Neurona bakoitza mintz-potentzial baten bidez deskribatzen da, eta beste neuronetatik jasotzen dituen pultsuen arabera bere mintz-potentzialaren balioa aldatzen da. Mintz-potentzialak zehaztutako atalase bat gainditzen badu, neurona horrek pultsu bat sortzen du. Pultsu hori neuronaren sinapsien bidez transmititzen da sarean zehar, hau da, sortutako pultsua konektatuta dagoen beste neurona guztietara bidaltzen da

aldi berean. Literaturan hainbat eredu matematiko proposatu dira deskribatutako portaera erreproduzitzeko, esaterako *Leaky Integrate and Fire (LIF)* (Soleimani *et al.*, 2012), Izhikevich (IZH) (Izhikevich, 2004) edo Hodgkin Huxley (HH) (Noble, 1962). Eredu horiek errealismo biologikoa eta kalkulu behararren arabera bereizten dira. Lan honetan, LIF eredua erabili da, kostu konputazionalaren eta errealismoaren arteko oreka egokia lortzen duelako.

Gaur egun, PNS sareetako esperimentazioa gehienbat CPU edo GPU bezalako konputazio arkitektura tradizio-naletan garatzen da. Nahiz eta arkitektura horiek neuronak paralelismo maila handiarekin prozesatzeko gai izan, ezin dute honen gertaera bidezko izaera aprobetxatu, non konputazio-beharra sarearen aktibitatearen arabera den. Horregatik, sistema neuromorfiko mota hauek era eraginkorrean exekutatzeko gai diren hardware azeleragailu espezifikoak garatzea beharrezkoa da. Ate matrize programagarriak (FPGA) edozein sistema digital inplementatzeko gai diren gailuak dira. Malgutasun handia eskaintzen dutenez, FPGA-k helburu orokorreko prozesadoreak edo helburu espezifikoeko prozesadoreak diseinatzeko erabili daitezke.

Lan honetan, FPGA-an oinarritutako plataforma neuromorfiko bat aurkezten da, edozein PNS sare-topologia modu eraginkorrean inplementatzeko aukera ematen duena. Azeleragailu hau bi bloke nagusik osatzen dute: (1) sarrerako pultsuen arabera, sarea osatzen duten neurona guztien mintz-potentziala eguneratzen duen eta potentzial horrek aurretik ezarritako atalasea gainditzeko duenean pulsu bat sortzen duen prozesatze unitate bat; eta (2) sarearen topologia kontuan hartuta eta sarean sortu diren pulsuaren arabera zein neurona prozesatu behar den erabakitzen duen kudeatzaile bat.

Gainerako artikulua hurrengo antolakuntza jarraitzen du. 2. Atalean, LIF neurona eredua azaltzen da eta literaturan garatutako azeleragailu neuromorfikoen azterketa egiten da. Ondoren, 3. Atalean lan honetan proposatutako azeleragailuen diseinua azalduko da. Azkenik, 4. eta 5. Ataletan lan honen ondorioak eta etorkizunerako norabideko lerro batzuk garatzen dira.

2 Arloko egoera eta ikerketaren helburuak

2.1 LIF Neurona eredua

Leaky Integrate and Fire (LIF), neurona biologikoaren eredu sinplifikatu bat da, ingeniari-tza neuromorfikoko proiektuetan asko erabiltzen dena. Neurona eredu honek konplexutasun konputazionala eta errealismo biologikoaren arteko oreka ona adierazten du. LIF neuronaren mintz-potentziala (V) (1) ekuazio-ko formularekin adierazten da:

$$C_m \frac{dV}{dt} = g_l(V_{rest} - V) + I \quad (1)$$

non C_m mintzaren kapazitantzia den; g_l mintzaren konduktantzia; V_{rest} potentzialaren atseden balioa eta I sarrerako korronea.

Neurona baten mintz-potentzialak ezarritako atalasea gainditzeko duenean, pulsu bat sortzean da eta bere V atseden baliora itzultzen da. Ondoren, T_{ref} luzera duen errefrakzio aldi bat dago, non neuronak ez duen sarreran jasotzen dituen pulstuei erantzuten eta ondorioz bere mintz-potentziala atseden balioan mantentzen da. Errefrakzio aldia amaitu ondoren, neuronaren mintz-potentziala sarrera pulsuaren arabera aldatuko da berriro (1) ekuazio-ko formula jarraiki.

Eredu hori sistema digitaletan inplementatu ahal izateko, denboraren adierazpen diskretu bat beharrezkoa da. Sinapsi osteko neurona bat (j) beste sinapsi aurreko neurona batera (i) konektatuta badago, N_j -ren mintz-potentziala berria (2) eta (3) ekuazioekin kalkulatu da:

$$V_j(t)_{ihes} = V_j(t-1)(1 - \frac{\Delta t}{\tau_m}) \quad (2)$$

$$V_j(t) = \begin{cases} 0, & \text{baldin eta } t \in [T_f, T_f + T_{ref}] \\ V_j(t)_{ihes} + \sum S_{ij} W_{ij}, & \text{beste kasu guztietan} \end{cases} \quad (3)$$

(2) ekuazioan j neuronak prozesatu duen azken pulsutik t unera arte, bere mintz-potentzialaren balioaren galera zenbatekoa izan den kalkulatzeko da, non τ_m neuronen RC zirkuitu eredua jarraitzen duen konstantea den. Neurona baten mintz-potentziala kalkulatzeko t denbora unean, (3) ekuazioan adierazten den bezala, N_j periodo errefraktarioan ez badago, bere mintz potentziala, galdutako potentziala eta pultsua sortu duten sinapsien (S_{ij}) pisuen (W_{ij}) menpe handituko da.

Nahiz eta LIF eredua denborarekiko diskretizatzen duten beste metodo batzuk egon, (Gupta *et al.*, 2020) adibidez, (2) eta (3) ekuazioetan garatutako formulak erabiliz, mintz-potentzialaren balioaren eguneraketa pulstuz pulstu garatu daiteke. Horrela, ez da beharrezkoa neurona guztien mintz-potentziala erloju ziklo bakoitzean eguneratzea. Ondorioz, sistemaren erlojuaren maiztasuna altuagoa izan daiteke, sareen prozesamenduen abiadura igotzen.

LIF neurona ereduaren neurona bakoitzak denbora une bakoitzean estimulurik jasotzen ez badu, bere mintz potentziala jaitsi egiten da. PNS-ak prozesatzeko existitzen diren algoritmo gehienek erlojuaren menpeko eguneraketak egiten dituzte, hau da, neurona guztiak eguneratzen dituzte erloju ziklo bakoitzean. Horregatik, sareek aktibitate baxua dutenean, baliabide asko erabiltzen dute prozesatu behar ez diren neuronen egoera berria kalkulatzeko. Gertakizunaren menpeko eguneraketarekin konparatuz, neurona pulstu bat jasotzen duen unean bakarrik prozesatzen da, sare osoaren prozesamendua askoz eraginkorragoa izanik.

2.2 FPGA-n oinarritutako PNS azeleragailuen ikerketak

PNS-ak azeleratzeko prozesadoreen garapena ikerketa gai aktiboa da, bereziki adimen artifizialaren arloetan. Hardware neuromorfikoa garatzeko hiru norabide desberdinak daude: Sistema analogikoak, sistema digitalak eta sistema hibridoak, hau da, analogikoak eta digitalak batera. Sistema horiek garatzeko zirkuitu integratuak (ASIC) erabili daitezke. SpiNNaker (Furber *et al.*, 2013) PNS-en online ikasketa sustatzen zuen lehenengo txipa izan zen. Txipa 18 ARM968 kore eta SDRAM kanpo memoria batez osatuta dago. Kore bakoitza 100 neurona simulatzeko gai da. Baina CPU klasikoak erabiltzen dituzenez, ez da metodo eraginkorrena PNS-ak simulatzeko. ODIN azeleragailuak (Frenkel *et al.*, 2018) hainbat teknika desberdin erabiltzen ditu, neurona fisiko batean 256 neurona ezberdin exekutatzeko lortu dute, sinapsi kopuru handia lortuz. Hala ere, ASIC-en oinarrituta dagoenez sare topologiaren malgutasuna murrizten da.

FPGA-etan edozein sistema digitala inplementatu daiteke, beraz, edozein azeleragailu mota garatzeko ahalmena eskaintzen dute. Teknologia honetan oinarrituta, (Gupta *et al.*, 2020) eta (López-Asunción eta Herrero, 2023) aurkeztutako arkitekturak PNS-en eredu sinplifikatu bat exekutatzeko eta entrenatzeko gai den azeleragailua garatu dute. Eredu horiek oso egokiak izaten dira baliabide gutxiko FPGA-tan hainbat sare desberdin exekutatzeko. Bestalde, NeuroFlow inplementazioak (Cheung *et al.*, 2016) 600.000 neuronako simulazioak exekutatzeko ahalmena du. Baina sistema gehienek denborarekiko eguneraketa inplementatzen dute eta beraz ez dute gertaeraren bidezko izaera guztiz aprobetxatzen.

Minitaur gertakizunarekiko orientatutako azeleragailu bat da (Neil eta Liu, 2014). Garatutako txipa 32 prozesadoreaz eta 128 MB kanpo memoriarekin osatuta dago eta 65.536 neurona eta 16,8 milioi sinapsi dituen sareak exekutatu ditzake. Gainera, konputazio kostu handiko kalkuluak egia tauletan (LUT) gordetzen dituzte exekuzioa azkartzeko. Azeleragailu honek hainbat arau gordetzen ditu neuronaren konexioak adierazteko, eraiki dezaketen sare topologiaren malgutasuna handituz. Metodo horiek memoria baliabide asko kontsumitzen dituzte eta ondorioz, horien energia kontsumoa ere altua da.

Liu *et al.* lanean aurkeztutako ikerketan, LIF eta beste neurona eredu baten portaera erreplikatzeko hardware plataforma diseinatu dute. Sortutako pulstuen cache-atzeko eta kudeatzeko estrategiak erabiliz, 16384 neurona eta 16,8 milioi sinapsi dituen sareak exekutatzeko ahalmena duen plataforma garatu dute. Hala ere, sarearen topologia eta sinapsiak kudeatzeko, pisudun matrize bat erabiltzen dute, hau da, memoriaren baliabide asko kontsumitzen ditu.

Aurkeztu den bezala, PNSak exekutatzeko hainbat plataforma garatu dira sare mota honen exekuzio abiadura eta zehaztasuna hobetzeko helburuarekin, baina azeleragailu gehienentzat hainbat arlotan hobetzeko aukera dago. Hasteko, ikerketa gehienek ez dute aprobetxatzen sare honen abantaila nagusia, gertaera bidezko izaera. Gainera, sarearen topologiaren informazioa gordetzeko moduak FPGA-ren baliabide asko kontsumitzen ditu.

3 Ikerketaren muina

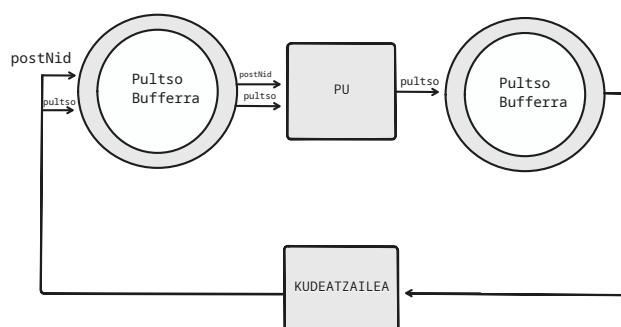
Aurreko atalean aipatutako arazoei aurre egiteko, edozein sare topologia duen PNS exekutatzeko gai den azeleragailu neuromorfiko bat aurkeztu dugu. 1a. Irudian aurkeztu da azeleragailuaren egitura orokorra. Egitura hori neuronak prozesatzeko azeleragailu batez, bi FIFO errenkadaz eta pultsuak kudeatzeko unitate batez osatuta dago. Kudeatzaileak sortutako pultsuak jasoko ditu eta pulsu bakoitzak prozesatu behar dituen sinapsi osteko neuronen prozesamendu errenkadan jarriko ditu.

2.1. atalean azaldu den moduan, LIF neurona baten funtzionamendua garatzeko pultsu bat jaso duen momentuan, neurona baten hiru ezaugarri nagusiak kontuan hartu behar dira: neuronaren mintz-potentziala, prozesatu den azken pultsuaren denbora unea eta neuronaren errefrakzio denbora pultsua sortu ondoren. 1b. Irudian neurona baten mintz-potentzialaren bilakaera denboraren menpe irudikatzen da. Ikus daiteke neurona bat pulstsuz pultsu prozesatzeko gorde behar den informazioa azken pultsuaren ondorengo mintz-potentziala eta jaso den denbora unea dela. Datu horiekin, pulsu berri bat jasotzen denean, aurreko pulsutik ordura arte pasa den denboran zenbat mintz-potentzial galdu duen bakarrik kalkulatu behar da mintz-potentziala pulsu berriaren arabera eguneratzeko.

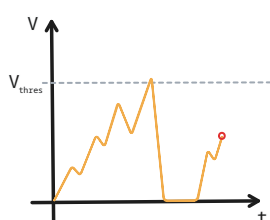
Informazio hori kodifikatzeko, neurona bakoitzaren hiru ezaugarriak gordetzen dituen memoria bat antolatu da. Memoria hau 32 bit-eko hitzez osatuta dago, hitz bakoitzeko neurona bat. 1c. Irudian adierazten da neurona baten 32 biteko kodifikazioa. Lehengo 15 bit-ek neuronaren mintz-potentziala adierazten dute, hurrengo 16 bitek azken eguneraketaren denbora unea eta azken bit-ak, neurona errefrakzio periodoan dagoen edo ez.

1. Irudia: SNNorlax azeleragailuaren eta neuronaren errepresentazioaren informazioa.

(a) SNNorlax azeleragailuaren arkitektura orokorra.



(b) Neuronaren portaera denboran.

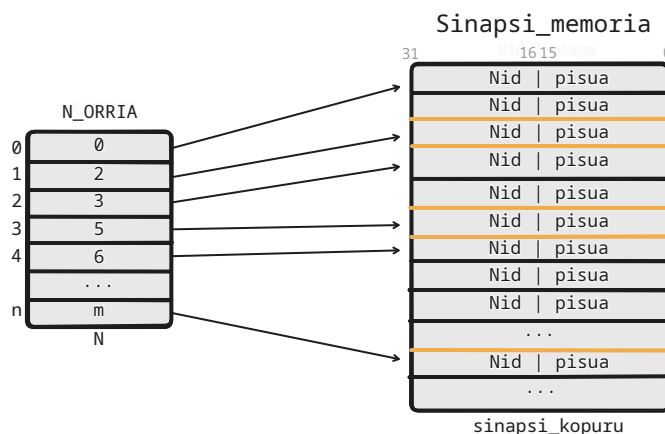


(c) Neuronaren informazioaren bit errepresentazioa.



Gainera, sarearen topologia eta neuronen arteko sinapsiak duten pisua gordetzeko beste memoria bat antolatuta behar da. PNS-ko sinapsi kopurua oso handia denez eta teorian neurona bakoitzak gainontzeko neurona guztiekin konektatuta egon daitekeenez, memoria honen antolakuntza eraginkorra izatea oso garrantzitsua da. Lan honetan proposatutako egitura bi memoriaz osatuta dago (2. Irudia): Lehenengo memorian sinapsi guztien pisuak eta sinapsi osteko neurona elkarrekikotasuna duten identifikadoreak gordetzen dira, datu horiek sinapsi aurreko neuronen menpe ordenatuak daude. Bigarren memorian, neurona presinaptikoen lehenengo sinapsiaren kokapena gordetzen da. Esan bezala, Horrela, edozein konexio adierazi daiteke.

2. Irudia: Sarearen Topologia eta pisuak gordetzen duen memoria sistemaren adierazpena.



3.1 Prozesatze unitatea

Neurona baten eguneraketa bi zatiz osatuta dago: mintz-potentzialaren eguneraketa eta neurona hori pultsoa sortu behar duen egiaztapena. Gainera, hardware-ean inplementatzeko, datuak memoriatik irakurri eta memorian idatzi behar dira. Guztira, edozein neurona eguneratzeko prozesamenduak lau zati behar ditu. Hasteko, memoriatik neuronaren egoera eta sinapsiaren pisua irakurri behar dira, ondoren mintz-potentzialaren balio berria kalkulatzeko. Balio berriarekin pultsu egin duen edo ez erabakitzen da. Azkenik, neuronaren egoera eta pisu berriak memoriara eguneratzen dira (3. Irudia).

Sekuentzialki prozesatzen baditugu neurona guztiak, neurona bakoitzeko 4 erloju zikloko konputazio abiadura lortzen da. Baina neuronaren eguneraketa beste neuronaren egoerarekiko independentea denez, CPU klasikoaren segmentazio teknika erabili daiteke azeleragailuaren abiadura handiagotzeko, hau da, prozesamenduaren zati bakoitzean neurona desberdin bat izatea. Horrela, neuronaren eguneraketak erloju ziklo bakararra irauten du.

3.2 Kudeatzailea

PNS-ak era eraginkorrean prozesatzeko, pultsuak jaso dituzten neuronak soilik eguneratu behar ditu, beraz, neuronak sortutako pultsuak haien sinapsi osteko neurona guztietara bideratu behar dira. Horretarako, Kudeatzaileak 2. Irudian agertzen den memoria egituraz baliatuz, pultsuak sinapsi osteko neuronak identifikatu eta prozesamendu unitatera bidali behar ditu haien egoera eguneratzeko.

Sinapsi aurreko neuronek sortutako pultsuak, haien sinapsi osteko neurona guztietara egiten den biderapena 1. Algoritmoan adierazten da. Kudeatzaileak prozesatze unitateak sortutako pultsuak bufferretik hartzen ditu. Ondoren, memorian sinapsi aurreko neuronaren lehenengo sinapsiaren helbidea eta sinapsi kopurua begiratzen ditu. Datu horiekin, sinapsi memoriako posizioetatik iteratzen du eguneratu behar diren neurona post-sinaptikoen identifikadorea eta sinapsiaren pisua lortuz eta prozesamenduko pultsu bufferrean txertatzen ditu.

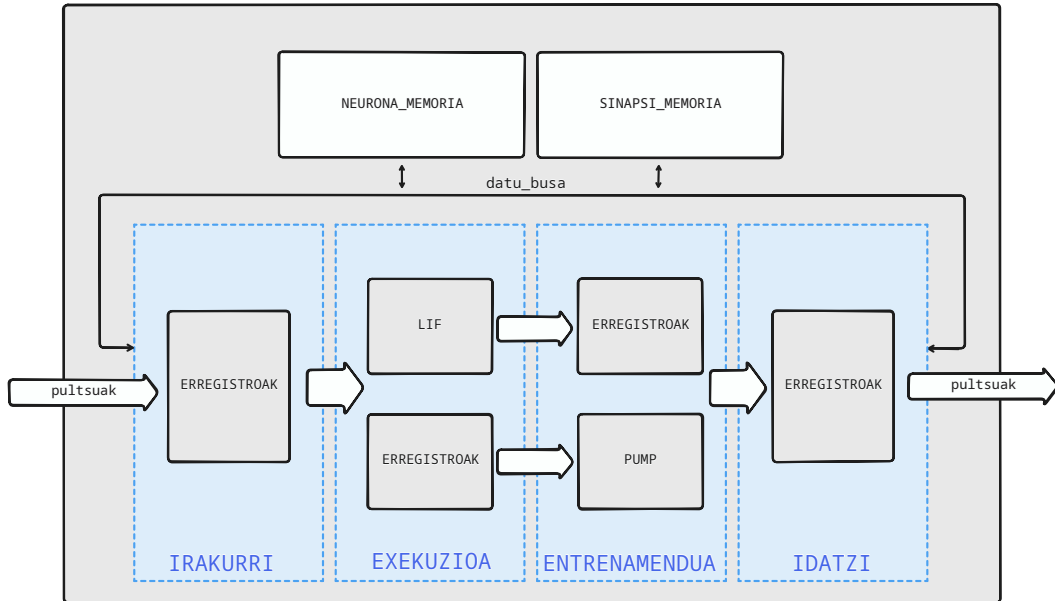
4 Ondorioak

Azken urteetan PNS-en erabilpena igo da neurona-sareen ikertzaileen artean. PSN-ak, neurona biologikoen portaera simulatzen dute, hau da, informazioa neuronek sortutako pultsu diskretuen bitartez sarean zehar zabaltzen da, prozesatu behar den informazioa sarearen aktibitatearen arabera izanik. Baina, konputazio eredu tradizionalak ezin dituzte sare mota honen abantailak era eraginkorrean aprobetxatu.

Hori dela eta, ikertzaile askok PNS-ak azeleratzeko hardware plataforma berriak aurkeztu dituzte. Hala ere, azeleragailu gehienek ez dute aprobetxatzen gertaera bidezko izaera eta sare osoaren egoera kalkulatzeko dute edo sare prozesatzeko beharrezkoa den informazioa era ez eraginkorrean gordetzen dute, azeleragailuaren energia kontsumoa beharrezkoa dena baino handiagoa izanik.

Lan honetan, FPGA-an oinarritutako PNS-ak azeleratzeko plataforma neuromorfiko berri bat diseinatu eta in-

3. Irudia: Neuronak konputatzeko prozesatzeko unitatearen eskema. Neuronak prozesatzeko behar diren lau atalak linealki azaltzen dira. Irakurri atalean memoriatik datuak irakurtzen ditu. Exekuzio atalean mintz-potentzialaren eguneraketa garatzen da. Entrenamendu atalean, ikasketa algoritmoak garatzen dira. Idazketa atalean balio berriak memoriari idazten dira.



Algorithm 1 Kudeatzaileak sortu diren pultsuak bideratzeko erabiltzen duen algoritmoa.

Require: P pultsuak sortu duten neuronaren identifikadoreko lista.
Require: S sinapsien informazioa duen lista ordenatua. Non $s \in S, s = \{postNid, w\}$.
Require: N Neurona bakoitzak S listan duen lehenengo posizioa duen lista ordenatua.
Require: K Neurona bakoitzak duen sinapsi kopuruaren lista.

```

for all  $p \in P$  do
   $preN\_sin\_addr \leftarrow N[p]$ 
  for  $i \in \{0..K[p]\}$  do
     $postNid \leftarrow S[preN\_sin\_addr + i].postNid$ 
     $weight \leftarrow S[preN\_sin\_addr + i].w$ 
  end for
end for

```

plementatu da. Azeleragailu honek edozein konfigurazioko PNS-ak exekutatze ahalmena du. Prozesu unitate batekin pultsua jaso duten neuronen egoera eguneratzen da, eta segmentazio teknikak erabiliz prozesamendu abiadura handitzen da. Kudeatzaile batekin neuronek sortzen dituzten pultsuak sarearen topologia jarraituz neuronak prozesu unitatera bideratzen ditu. Gainera, sarearen topologia gordetzeko memoria sistema eraginkorra erabiliz, sareak duen sinapsi guztiak gordetzen dira FPGA-aren baliabideak xahutu gabe.

5 Etorkizunerako planteatzen den norabidea

Aurkeztutako plataformak PNS-etan inferentziak bakarrik egin ditzake, hau da, sareko neuronek pultsuak prozesatzeko eta saretik zabaltzeko gaitasuna dute, baina ez dute ikasketa prozesurik egiten. Hala ere, helburua Pultsuen Unearen Menpeko Plastikotasuna (PUMP) eta beste algoritmo batzuk inplementatzea da sarearen entrenamendua eta inferentzia azeleragailu berdinean garatu ahal izateko. Etorkizunean, algoritmo horiek inplementatuz gero, plataformak gaitasun handiagoa izango luke konputazio neuromorfikoan, eta horrek aplikazio zabalak ekar ditzake, hala nola robotikan, seinale prozesamenduan eta adimen artifizialaren beste arloetan.

Horretaz gain, ikasketa algoritmoekin batera, exekuzio denboran neuronen arteko sinapsi berriak sortzeko edo

existitzen diren sinapsiak ezabatzeko gaitasuna inplementatzea aztertzen da. Honen helburua neurona-sarearen topologia aktibitatearen menpe eboluzionatzea da. Horrela, azeleragailuak PNS-a ikasten ari den zeregina burutzeko behar duen konfigurazio eraginkorra garatu dezake.

Beste aldetik, azeleragailuak prozesamendu unitate bakar bat duen arren, helburua multi-core diseinua garatzea da, prozesatzeko abiadura handitzeko eta eraginkortasuna hobetzeko. Prozesamendu unitate gehiago izateak hainbat neurona aldi berean exekutatzeko aukera emango luke, paralelismoa aprobetxatuz eta sistemaren errendimendua nabarmen hobetuz. Hau sare konplexuagoen prozesamenduan eraginkortasun handiagoa lortzeko bereziki egokia izango litzateke.

Azkenik, proiektu honetan garatutako plataformak beste neurona-eredu batzuk exekutatzeko gaitasuna duen prozesatze unitatea inplementatzeko aukera ere aztertzen da. Neurona-eredu desberdinak Izhikevich (IZH) edo Hodgkin Huxley (HH) integratuz, neurona-sareen malgutasuna handitu daiteke.

Erreferentziak

- Cheung, Kit, Simon R Schultz, eta Wayne Luk. 2016. Neuroflow: a general purpose spiking neural network simulation platform using customizable processors. *Frontiers in neuroscience* 9.516.
- Frenkel, Charlotte, Martin Lefebvre, Jean-Didier Legat, eta David Bol. 2018. A 0.086-mm²12.7-pj/sop 64k-synapse 256-neuron online-learning digital spiking neuromorphic processor in 28-nm cmos. *IEEE transactions on biomedical circuits and systems* 13.145–158.
- Furber, Steve B., David R. Lester, Luis A. Plana, Jim D. Garside, Eustace Painkras, Steve Temple, eta Andrew D. Brown. 2013. Overview of the spinnaker system architecture. *IEEE Transactions on Computers* 62.2454–2467.
- Gupta, Shikhar, Arpan Vyas, eta Gaurav Trivedi. 2020. Fpga implementation of simplified spiking neural network. In *2020 27th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 1–4.
- Izhikevich, Eugene M. 2004. Which model to use for cortical spiking neurons? *IEEE transactions on neural networks* 15.1063–1070.
- Liu, Yijun, Yuehai Chen, Wujian Ye, eta Yu Gui. 2022. Fpga-nhap: A general fpga-based neuromorphic hardware acceleration platform with high speed and low power. *IEEE Transactions on Circuits and Systems I: Regular Papers* 69.2553–2566.
- López-Asunción, Samuel, eta Pablo Ituero Herrero. 2023. Flexible deep-pipelined fpga-based accelerator for spiking neural networks. In *2023 38th Conference on Design of Circuits and Integrated Systems (DCIS)*, 1–6.
- Neil, Daniel, eta Shih-Chii Liu. 2014. Minitaur, an event-driven fpga-based spiking network accelerator. *IEEE transactions on very large scale integration (VLSI) systems* 22.2621–2628.
- Noble, Denis. 1962. A modification of the hodgkin—huxley equations applicable to purkinje fibre action and pacemaker potentials. *The Journal of physiology* 160.317.
- Soleimani, Hamid, Arash Ahmadi, eta Mohammad Bavandpour. 2012. Biologically inspired spiking neurons: Piecewise linear models and digital implementation. *IEEE Transactions on Circuits and Systems I: Regular Papers* 59.2991–3004.

6 Eskerrak eta oharrak

Ikerketa-lan hau Eusko Jaurlaritzak finantzatu du: KK-2023/00012, KK-2023/00090, KK-2024/00030, KK-2024/00068 eta IT1504-22 proiektuen bidez. Halaber, MICIU/AEI/10.13039/501100011033 erakundeak finantzatutako CNS2023-144315 dirulaguntzaren bidez eta "European Union NextGenerationEU/PRTR" programaren bidez. Era berean, PID2023-152390NB-I00 dirulaguntza MICIU/AEI/10.13039/501100011033 erakundeak finantzatuta, "FEDER funtsen" bidez. Dr. Javier Navaridas-ek Ramón y Cajal beka bat du, Espainiako Zientzia, Berrikuntza eta Unibertsitate Ministerioak (MCIN/AEI/10.13039/501100011033) finantzatua, eta, kasuan kasu, "ESF Investing in your future" edo "European Union NextGenerationEU/PRTR" programaren bidez babestua.